نموذج توصيف مقرر: تصميم النظم الرقمية (digital systems design)

1. معلومات أساسية عن المقرر

البند	التفاصيل
اسم المقرر	تصميم النظم الرقمية
رمز المقرر	CSE221
الساعات المعتمدة	3 ساعة معتمدة
المستوى الدراسي	المستوى الأكاديمي 4
المتطلبات السابقة	تصميم الدارات المنطقية
لغة التدريس	العربية والإنكليزية
تاريخ آخر تحديث	25.12.2025

2. أهداف المقرر (Course Objectives)

- الهدف العام:

تمكين الطلاب من :

أ. استعمال لغة توصيف الكيان الصلب (الدارات) وهي لغة VHDL في عملية التصميم للنظم الرقمية.
ب. تعلم الطرائق أو المنهجيات المناسبة المستعملة في أنظمة التصميم والتركيب والإنشاء الإلكتروني للكيان الصلب.
ج. التآلف مع أدوات تصميم إلكترونية تجارية لتنفيذ التصميم للنظم الرقمية على منصة مصفوفة بوابات قابلة للبرمجة FPGA.

- الأهداف التفصيلية (SMART):

يهدف المقرر لفهم وإدراك المبادئ الأساسية المتعلقة بتصميم النظم الرقمية باستخدام لغة VHDL:

- البنية الأساسية لمنصة FPGA وبنية الكود الأساسي (المكتبة، الكينونة، معمارية الكود التنفيذية) لأكواد لغة VHDL.
- أنواع البيانات.
- المؤثرات (الحسابية والمنطقية والاسناد والمقارنة وغيرها) والسمات.
- الكود المتزامن (التفرعي).
- الكود التتابعي
- آلات الحالة المنتهيةٍ state machines .
- الالمام بالمعرفة الأساسية لتوصيف دارات منطقية ونظم رقمية معيارية مثل الجامع والضارب وكواشف الترميز والنواخب والذواكر مختلفة الأنواع والقلابات والعددات والمسجلات.....الخ، وايضا الدارات المنطقية غير المعيارية والموصفة بتوابع منطقية. .

3. مخرجات التعلم (Learning Outcomes – LOs)

المخرج التعليمي	المعيار العالمي
التذكر للبنية الأساسية لكود الـ VHDL والتعليمات البرمجية وأنواع البيانات اللازمة و**تطبيقها** في مسائل تصميم نظم رقمية معيارية وغير معيارية حسب رغبة المستخدم.	معرفي
رفع الإدراك الحسي لاختيار اسلوب التصميم اللازم حسب التطبيق اللازم و**تنفيذ** أكواد لنظم تمتلك خاصية العمومية و**تنسيق طريقة اختبار** الدارة والنظام المصمم و**تقييم** محددات الأداء ضمن برامج المحاكاة والاختبار.	مهاري
تعلم **الاستقبال** للمعلومات من **إصغاء وانتباه ومتابعه والاستجابة اليدوية والحسية** من خلال برامجيات المحاكاة وأكواد التجارب المخبرية.	وجداني

4. محتوى المقرر (مُفصَّل حسب الأسابيع)

الأسبوع	الموضوع	الأنشطة	المواد الداعمة
1	مدخل إلى النظم الرقمية	التعرف على أهم لغات البرمجة المستخدمة في تصميم النظم الرقمية PLD, VHDL, ...	عرض تقديمي ومخبر لتنفيذ الدارات التركيبية بالاعتماد على النواخب
2	مدخل إلى النظم الرقمية	البنية الأساسية لكود VHDL لتنفيذ دارة منطقية تركيبية بأساليب التصميم المختلفة	عرض تقديمي ومخبر لتنفيذ دارة منطقية تركيبية باعتماد أساليب التصميم المختلفة
3	أنواع البيانات	التعرف على أنواع البيانات في VHDL المعرفة مسبقا أو من قبل المستخدم	عرض تقديمي ومخبر لتنفيذ دارة منطقية باستخدام التصميم السلوكي
4	أنواع البيانات	التعرف على العمليات الحسابية والمنطقية	عرض تقديمي ومخبرلتنفيذ التعرف على أخطاء الـ compiler عند تنفيذ تعليمات التخصيص
5	أنواع البيانات	التعرف على التحويل بين أنواع البيانات المختلفة والمصفوفات والسجلات.	عرض تقديمي ومخبر لتنفيذ جامع اربع خانات الاسلوب البنيوي
6	المؤثرات والسمات	التعرف على المؤثرات الحسابية والمنطقية والإزاحة والدوران والاستمرارية	عرض تقديمي ومخبر لتنفيذ الذواكر و المسجلات
7	امتحان نصفي	وضع الأسئلة وتصحيح الأوراق الامتحانية	
8	امتحان نصفي	وضع الأسئلة وتصحيح الأوراق الامتحانية	
9	المؤثرات والسمات	استخدام المؤثرات والسمات في تصميم كواشف الترميز العامة وكواشف الازدواجية والمولدات العامة لخانة الازدواجية	عرض تقديمي للجوامع متعددة الخانات لأعداد موجبة وذات إشارة مع وبدون الحامل النهائي
10	التعليمات التفرعية (المتوازية، التسايرية)	التعرف على تعليمات الدارات التركيبية	عرض تقديمي ومخبر لكواشف الترميز العامة
11	التعليمات التفرعية (المتوازية، التسايرية)	تطبيقات على تنفيذ النواخب	عرض تقديمي ومخبر لكاشف

			خانة الازدواجية ومولدات خانة الازدواجية
12	التعليمات التتابعية	التعرف على تعليمات الدارات التتابعية	عرض تقديمي ومخبر لدارات النواخب
13	التعليمات التتابعية	التعرف على تعليمات الدارات التتابعية	عرض تقديمي ومخبر للعددات المتزامنة وغير المتزامنة
14	تعليمات الآت الحالة المنتهية	التعرف على تعليمات آلات الحالة المنتهية.	عرض تقديمي ومخبر تنفيذي بسيط للآلات الحالة المنتهية
15	امتحان نهائي	وضع الأسئلة وتصحيح الأوراق الامتحانية	
16	امتحان نهائي	وضع الأسئلة وتصحيح الأوراق الامتحانية	

5. طرائق التدريس والتعلم

- الطرائق المستخدمة:

- استخدام وسائل التعليم الإلكتروني عروض تقديمية وبرامج محاكاة لعمل وأداء النظم الرقمية.
- تطبيق التعليمات الأساسية من خلال أكواد توصيف نظم رقمية محددة المواصفات مسبقا.
- تنفيذ تجارب عملية باستخدام لغة VHDL تصف نظم معيارية وغير معيارية معدة مسبقا.
- تنفيذ تجارب عملية لمحاكاة عمل وتقييم أداء النظم الرقمية المصممه.
- التآلف مع العمل الجماعي ضمن فريق.

- التكنولوجيا الداعمة:

- حاسب شخصي و عارض Data Show .
- لغة برمجة VHDL.

6. تقييم التعلم (Assessment Methods)

نوع التقييم	الوصف	النسبة	المخرجات المقاسة
امتحان نصفي	امتحان كتابي يتم إجراءه في الاسبوع التدريسي السابع من الفصل الدراسي.	%20	التذكر والتطبيق والتحليل والإبداع
امتحان في المخبر	امتحان كتابي في نهاية الفصل (الاسبوع التدريسي الأخير) لأكواد مصممة ضمن العملية التدريسية خلال العام الدراسي.	%20	الأداء العملي والقدرات التقنية على استخدام التعليمات واسلوب التصميم للغة البرمجة VHDL.
مشروع جماعي أكواد لتوصيف أكواد VHDL والتأكد من عملها من خلال نتائج برامج المحاكاة.	بالتنسيق مع أستاذ المادة النظرية يتم اختيار مسائل أكثر تعقيدا وقريبة من الحالات العملية الخاصة تحل رياضيا بشكل جماعي مع استاذ العملي وتقارن النتائج النظرية مع نتائج المحاكاة Multisim	%5	استقبال المعلومات والتفاعل الإيجابي مع زملائه لتحقيق عمل فريق جيد.

اختبار قصير على الأقل في المخبر والمشاركة الصفية	امتحان كتابي أو مقابلة على الأقل في بداية الجلسة عن الجلسات السابقة	%5	التذكر والتطبيق والتفاعل الإيجابي مع الاستاذ
امتحان نهائي	امتحان كتابي يتم إجراءه بعد انتهاء الفصل الدراسي ويغطي كافة المواضيع النظرية والعملية.	%50	التذكر والتطبيق والتحليل والإبداع

7. المراجع والموارد

- المراجع الأساسية:

1. Circuit Design with VHDL, MIT Press, 2020

2. Fundamentals of Digital Logic with VHDL Design, McGraw-Hill, 2004

- الموارد الإلكترونية:

- كتاب إلكتروني للمرجع الأساسي رقم /1/.
- عروض تقديمية للمرجع الرئيسي للمحاضرات النظرية.
- برمجيات لغة VHDL.

- أدوات عملية:

- تطبيقات متزامنة مع الموضيع لنظرية لتوصيف نظم رقمية لها خاصية العمومية لتأمين مرونة في الاستخدام.
- برمجيات لغة VHDL.
- منصات تجريبية تجارية للـ FPGA.

استاذ المقرر: د فواز مفضي

التوقيع